



Madrid, miércoles 22 de marzo de 2023

El ecosistema madrileño comparte propuestas para el PERTE CHIP tras una reunión en el Instituto de Micro y Nanotecnología del CSIC

- Se han trazado estrategias de manera conjunta con el fin de situar a España como referente en el diseño y producción de la industria de la microelectrónica y los semiconductores



De Izda. a Dcha: Daniel Granados (CITT Semic CM e IMDEA), Miguel Ángel García (director IMN,CNM-CSIC), Jose Luis Costa Kramer (IMN,CNM - CSIC), Asunción Gómez Pérez (UPM), Ana Cremades (CM), Jorge Lang (CITT Semic CM), Pedro Gómez López (Ferrovial NextGen), Carlos González Sánchez (Funding Innovation Program Ferrovial), Gonzalo León (UPM), Jesús Campos Garrido (Ferrovial Next Gen), Marina Villegas (CSIC) / IMN, CNM-CSIC

El pasado miércoles 15 de marzo de 2023 el [Instituto de Micro y Nanotecnología](#) del [Consejo Superior de Investigaciones Científicas](#) (Tres Cantos, Madrid) acogió la primera

reunión presencial en su sede con actores relevantes del ecosistema madrileño relacionado con el [PERTE de microelectrónica y semiconductores](#).

Miembros de Ferrovial y una representación del Clúster de Innovación Tecnológica y Talento en Semiconductores de la Comunidad de Madrid han discutido la situación actual del PERTE y analizado en detalle las debilidades y fortalezas del ecosistema, la gran complejidad de los retos que se afrontan, y la enorme oportunidad que el PERTE brinda a la industria. Las acciones para solventar la crisis de Chips, tanto a nivel de la Comunidad de Madrid como nacional e internacional, serán fruto de un esfuerzo colectivo, en un entorno geopolítico complicado, pero donde deben involucrarse todos los sectores productivos del país: mundo empresarial, académico, financiero y político.

Cada presente expuso trabajos preliminares sobre las capacidades e infraestructuras necesarias para la creación de un eje de fabricación en Micro y Nano electrónica en la comunidad; corroborando así, la voluntad y compromiso de todos los asistentes para seguir trabajando de forma colaborativa y así avanzar con paso firme hacia proyectos de éxito relacionadas con este PERTE tan relevante.

Organizado por el investigador del centro y experto PERTE Chip del CSIC **Jose Luis Costa Krämer**, el encuentro reunió presencialmente a **Asunción Gómez-Pérez**, Vicerrectora de Investigación, Innovación y Doctorado – Universidad Politécnica de Madrid, **Marina Villegas**, coordinadora institucional del CSIC en la Comunidad de Madrid; **Ana Cremades**, Directora General de Investigación e Innovación Tecnológica de la Comunidad de Madrid; **Daniel Granados**, Profesor Investigación IMDEA Nanociencia y Director CITT-CHIP Comunidad de Madrid; **Gonzalo León Serrano**, Profesor emérito de la ETSIT y coordinador del plan de formación del PERTE - Universidad Politécnica de Madrid; **Jorge Lang**, Codirector del CITT-CHIP de la Comunidad de Madrid; **Pedro Gómez López**, Director Next Gen y Concesiones en Ferrovial Construcción, **Jesús Campos Garrido**, Responsable Técnico Next Gen y Concesiones en Ferrovial Construcción y **Carlos González**, *External Funding Innovation Program Lead* Ferrovial.

El conocido como PERTE Chip, tiene como objetivo reforzar las capacidades de diseño y producción de la industria de la microelectrónica y los semiconductores en España desde una perspectiva integral y favorecer la autonomía estratégica nacional y de la UE en este sector. Está previsto que este proyecto estratégico movilice una inversión pública de 12.250 millones de euros hasta 2027 y active a su vez un importante volumen de inversión privada.

Comunicación IMN, CNM-CSIC / CSIC Comunicación

comunicacion@csic.es